

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-188944
(43)Date of publication of application : 25.07.1990

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 01-009406

(71)Applicant : SHARP CORP

(22)Date of filing : 17.01.1989

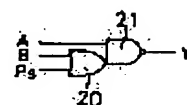
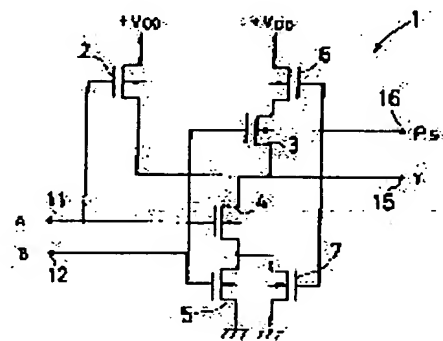
(72)Inventor : KONO MASAHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To make an analysis, from the outside, of an incorporated circuit constitution difficult and to prevent the circuit constitution from being imitated by other persons by a method wherein an operation which is realized by a second semiconductor circuit element and a first semiconductor circuit element connected to it is made equal to an operation of the first semiconductor circuit element.

CONSTITUTION: In a semiconductor integrated circuit device where a plurality of semiconductor circuit elements have been formed, a second semiconductor circuit element of a specific kind is formed by being connected to a first semiconductor circuit element which is decided in advance; and the second semiconductor element is selected in such a way that an operation realized by the second semiconductor circuit element and by the first semiconductor circuit element connected to it is equal to an operation of the first semiconductor circuit element. For example, a dummy P-type MOSFET 6 which is always in a conductive state irrespective of a level of a signal to be input from a dummy input terminal 16 and a dummy N-type MOSFET 7 which is always in a shut-off state are added to two P-type MOSFET's 2, 3 and two N-type MOSFET's 4, 5 which constitute a two-input NAND circuit; and a composite gate of an OR-NAND type in terms of a wiring operation is constituted.



THIS PAGE BLANK (USPTO)

✓ **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

✱ [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-188944

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

H 01 L 21/82
27/04

7514-5F
8526-5F

H 01 L 21/82

R

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-9406

⑰ 出 願 平1(1989)1月17日

⑱ 発 明 者 河 野 政 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 西教 圭一郎 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

複数の半導体回路素子が形成されて成る半導体集積回路装置において、

予め定められる第1半導体回路素子に特定種類の第2半導体回路素子を接続して形成し、

前記第2半導体回路素子は、該第2半導体回路素子とこれが接続された第1半導体回路素子とが実現する動作が前記第1半導体回路素子の動作と等しくなるように選ばれるようにしたことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、いわゆるマスク・スライス方式による大規模集積回路(LSI)などに好適に実施される半導体集積回路装置に関する。

従来の技術

一般に、新たな論理LSI(いわゆるフル・カ

スタムLSI)を作るためには膨大な開発期間と費用がかかるために多品種少量生産はできない。そこで、ユーザの多様な要求に合った大規模集積回路を短期間に安価で実現するセミ・カスタムLSIを実現するために従来からマスク・スライス型半導体集積回路装置が用いられる。このような半導体集積回路装置は、いわゆるゲート・アレイLSIと称され、前述したフル・カスタムLSIに比べて、集積度や高速性の点で少し劣るけれども、マスク開発が容易であるために、多品種少量生産には有利である。

このようなマスク・スライス型の半導体集積回路装置では、複数のトランジスタなどによって予め形成された各種のゲート(マスク)に対して適宜金属配線を行うことによって、希望する論理回路を構成して製品化される。

発明が解決しようとする課題

このように製品化された半導体集積回路装置は、出荷後に金属配線などの接続構成などを金属顕微鏡などによって解析することによって該半導体集

積回路装置内に組込まれた論理回路を再現することが可能となる。このように製造者に不利益になるような行為を防止するために、手作業によるレイアウトで論理回路を設計する場合には他者が解析し難いように冗長な回路を別途付加するような構成が用いられているけれども、量産されるマスク・スライス型の半導体集積回路装置ではこのような冗長回路は設けられておらず、他者に容易に模倣されやすくなる。

本発明の目的は、組込まれる回路構成の外部からの解析を困難にすることによって、その回路構成が他者に模倣されることを防止することができる半導体集積回路装置を提供することである。

課題を解決するための手段

本発明は、複数の半導体回路素子が形成されて成る半導体集積回路装置において、

予め定められる第1半導体回路素子に特定種類の第2半導体回路素子を接続して形成し、

前記第2半導体回路素子は、該第2半導体回路素子とこれが接続された第1半導体回路素子とが

ある。

本実施例の半導体回路素子1は、いわゆるマスク・スライス型半導体集積回路装置に用いられるものであり、後述される冗長擬似動作回路を付加してその配線上からはOR-NAND型の複合ゲートに見えるように設計されており、実質上は2入力NAND回路の動作が実現されるものである。

この半導体回路素子1の等価回路は、第4図に示されている。第4図を参照して、半導体回路素子1の構成について説明する。半導体回路素子1は、2つのP型MOS電界効果トランジスタ(FET)2、3と、2つのN型MOS電界効果トランジスタ4、5と、擬似P型MOS電界効果トランジスタ6と擬似N型MOS電界効果トランジスタ7とから構成される。前記P型MOS電界効果トランジスタ(以下、P型トランジスタと呼ぶ)2とN型MOS電界効果トランジスタ(以下、N型トランジスタと呼ぶ)4とによって相補型のトランジスタが構成されるとともに、P型トランジスタ3とN型トランジスタ5とによって相補型の

実現する動作が前記第1半導体回路素子の動作と等しくなるように選ばれるようにしたことを特徴とする半導体集積回路装置である。

作用

本発明に従えば、第1半導体回路素子に接続される第2半導体回路素子は、当該第2半導体回路素子とこれが接続された前記第1半導体回路素子とが実現する動作が前記第1半導体回路素子の動作と等しくなるように選ばれるので、第2半導体回路素子は実質的な動作に寄与しない冗長回路構成を有する。したがって、このような半導体集積回路装置を外部からその構成を解析することが困難であり、他者の模倣の防止することができる。

実施例

第1図は本発明の一実施例の半導体集積回路装置の一部を構成する半導体回路素子1の平面図であり、第2図は半導体回路素子1に用いられる冗長設計によるP型MOS(金属-酸化膜-半導体)トランジスタの構成を示す断面図であり、第3図はN型MOSトランジスタの構成を示す断面図で

トランジスタが構成される。

P型トランジスタ2およびN型トランジスタ4のゲートには、一方入力端子11がそれぞれ共通に接続され、P型トランジスタ3およびN型トランジスタ5のゲートには他方入力端子12がそれぞれ共通に接続される。P型トランジスタ2および擬似P型トランジスタ6のソースにはそれぞれ直流電源が接続される。擬似P型トランジスタ6のドレインはP型トランジスタ3のソースに接続される。P型トランジスタ2、3の各ドレインおよびN型トランジスタ4のソースはそれぞれ共通に出力端子15に接続され、N型トランジスタ4のドレインおよびN型トランジスタ5のソースは擬似N型トランジスタ7のソースに接続され、N型トランジスタ5および擬似N型トランジスタ7のドレインはそれぞれ共通に接地される。擬似P型トランジスタ6および擬似N型トランジスタ7のゲートには、擬似入力端子16がそれぞれ共通に接続される。

このような構成を有する半導体回路素子1は、

その配線上第5図に示されるようにOR-NAND型の複合ゲートを構成する。すなわち、前記他方入力端子12および擬似入力端子16がOR回路20の各入力端子とされ、前記一方入力端子11がAND回路21の一方入力端子とされるとともに、前記出力端子15がこのOR-NAND型の複合ゲートの出力端子とされる。

前記擬似P型トランジスタ6は、後述されるイオン注入技術によって常に導通状態となるように設定されている。すなわち、イオン注入技術によってそのしきい値電圧を比較的高く設定することによって、擬似入力端子16から入力される信号のレベルにかかわらず常に導通状態となるように設定されている。同様にして擬似N型トランジスタ7もイオン注入技術によって常に遮断状態となるように設定されている。

したがって、この半導体回路素子1は、実質的に第6図に示されるような等価回路となる。すなわち、前記擬似入力端子16からの入力信号のレベルにかかわらず擬似P型トランジスタ6は導通

状態であり擬似N型トランジスタ7は遮断状態にあるので、これら2つのトランジスタ6、7は、半導体回路素子1の実質的な動作には寄与しない。したがってこの半導体回路素子1は、その実質的な動作に着目すれば、第7図に示されるように2入力NAND回路と等価である。

次に、第1図～第3図を参照して、この半導体回路素子1の構成について説明する。

第1図を参照して、半導体回路素子1は、大略的にP型トランジスタ領域31とN型トランジスタ領域32とに分けられる。各トランジスタ領域31、32には、P型トランジスタのソース・ドレイン用のP⁺拡散領域33およびN型トランジスタのソース・ドレイン用のN⁺拡散領域34がそれぞれ設けられる。各拡散領域33、34上には相互に間隔をあけてそれぞれゲート用ポリシリコン35、36、37；38、39、40が形成される。

P型トランジスタ領域31側のゲート用ポリシリコン35、36、37とN型トランジスタ領域

32のゲート用ポリシリコン38、39、40は、それぞれコンタクトホール41、42、43；44、45、46を介してアルミニウムから成る金属配線47、48、49によって相互に電気的に接続される。これら金属配線47、48、49は、それぞれ第4図に示される一方入力端子11、他方入力端子12、および擬似入力端子16にそれぞれ対応している。

P⁺拡散領域33には、ゲート用ポリシリコン35、37の相互に反対側の部分にはコンタクトホール51、52；53、54を介して金属配線55、56が電気的に接続される。これらの金属配線55、56は、前記P型トランジスタ2および擬似P型トランジスタ6のソースにそれぞれ対応している。またこのP⁺拡散領域33のゲート用ポリシリコン35、36間の部分にはコンタクトホール57、58を介して金属配線59の一方側端部が接続される。この金属配線59の一方側端部はゲート用ポリシリコン35、36がゲート電極とされるP型トランジスタ2、3の各ドレイ

ンに対応している。

この金属配線59の他方側端部はまたN⁺拡散領域34のゲート用ポリシリコン44の第1図左方側の部分にコンタクトホール60、61を介して接続される。すなわち、この金属配線59の他方側端部は前記N型トランジスタ4のソースとされる。N⁺拡散領域34のゲート用ポリシリコン38、39間の部分にはコンタクトホール62、63を介して金属配線64の一方側端部が接続される。この金属配線64の他方側端部は、N⁺拡散領域34におけるゲート用ポリシリコン40の第1図右方側の部分にコンタクトホール65、66を介して接続される。

すなわち、この金属配線64の一方側端部は、前記N型トランジスタ4、5のドレインおよびソースとされ、その他方側端部は擬似N型トランジスタ7のソースとされる。N⁺拡散領域34のゲート用ポリシリコン45、46間の部分にはコンタクトホール67、68を介して金属配線69が接続される。この金属配線69はN型トランジ

タ5および擬似N型トランジスタ7の各ドレインとされ、接地される。

次に、第1図および第2図を参照して、擬似P型トランジスタ6の構成について説明する。

擬似P型トランジスタ6は、N⁺-ウェル層70上にゲート用ポリシリコン37の両側部にP⁺拡散領域71、72が形成されている。このP⁺拡散領域71、72間のN⁺-ウェル層70の部分はチャネル領域73とされる。このチャネル領域73上にホウ素イオンが注入されてP⁺拡散領域74が形成される。このP⁺拡散領域74上にゲート酸化膜75を介して前記ゲート用ポリシリコン37が形成されている。

このようなP⁺拡散領域74を形成することによって、該擬似P型トランジスタ6のしきい値電圧をずらすことができ、ゲート用ポリシリコン37に印加されるゲート電圧のレベルにかかわらず常に導通状態にすることができる。なお、このホウ素イオン注入によるP⁺拡散領域75を形成しなければ、通常のP型トランジスタとなる。第3

図に示される擬似N型トランジスタ7も同様にして作成される。すなわち、P⁺-ウェル層80のN⁺拡散領域81、82に挟まれた部分に形成されるチャネル領域84上に、ホウ素イオンを注入してP⁺拡散領域85を形成することによって、該擬似N型トランジスタ7のしきい値電圧をずらすして、ゲート酸化膜86上のゲート用ポリシリコン40に印加されるゲート電圧のレベルにかかわらず、常に遮断状態にすることができる。なお、第1図においては、ホウ素イオンを注入して形成されるP⁺拡散領域74、85をそれぞれ2点鎖線 ℓ 1、 ℓ 2でしめしてある。

このように形成された半導体回路素子1においては、前述したホウ素イオン注入によるP⁺拡散領域74、85は金属顕微鏡などでは解析し難いために、その配線上からはOR-NAND回路のように見える。したがってこの配線構造上からはこの半導体回路素子1が実質的にNAND回路の動作を行うものであることを知ることができず、

その秘密性が保持される。なお、前述したイオン注入を行う際には、その場所を特定するマスクを用いてこれを行うようにする。

本実施例では、比較的簡単な回路構成について説明したけれども、実際に用いられる半導体集積回路装置においては、さらに複雑な回路構成を有する半導体回路素子を多数用いることによって、さらにその秘密性を向上することができる。なお、同一の動作を実現する回路構成においても、イオン注入を行う場所を変更することによって、その秘密性をさらに向上させることができる。

したがって、このような半導体回路素子の半導体部分が予め形成されており、金属配線によって希望する回路構成に実現されるマスク・スライス型集積回路装置においても、その利点である工程数・マスク枚数の少なさを損なうことなく、秘密性を向上して他者による解析を困難にすることができる。

発明の効果

以上のように本発明に従えば、組込まれた回路

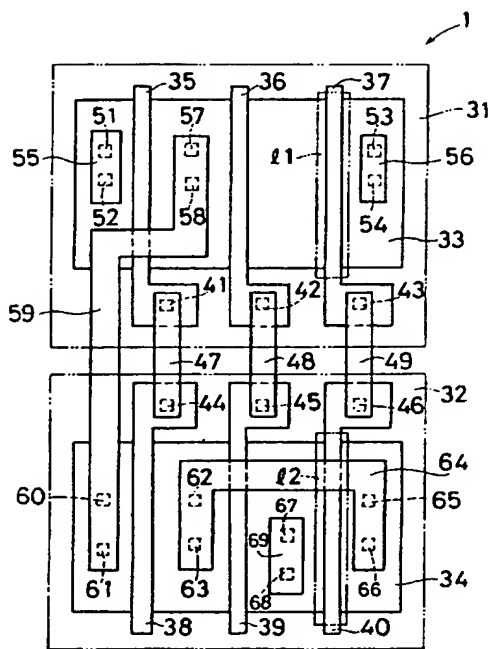
構成の内容を他者に模倣されることなく、秘密性を向上することができる。

4. 図面の簡単な説明

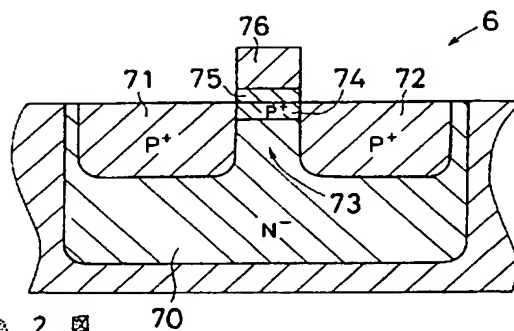
第1図は本発明の一実施例に用いられる半導体集積回路装置の一部を構成する半導体回路素子1の構成を示す平面図、第2図は擬似P型トランジスタ6の構成を示す断面図、第3図は擬似N型トランジスタ7の構成を示す断面図、第4図および第5図は半導体回路素子1の配線構造上から見た等価回路図、第6図および第7図は半導体回路素子1の実質的な等価回路図である。

1…半導体回路素子、2、3…P型トランジスタ、4、5…N型トランジスタ、6…擬似P型トランジスタ、7…擬似N型トランジスタ、33、74、85…P⁺拡散領域

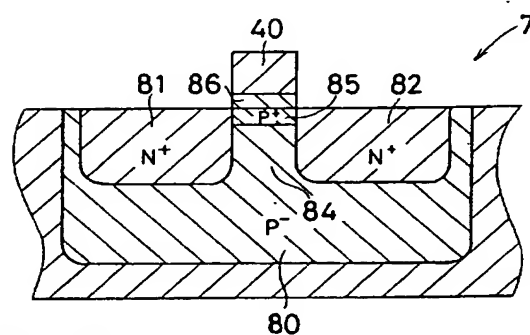
代理人 弁理士 西教 圭一郎



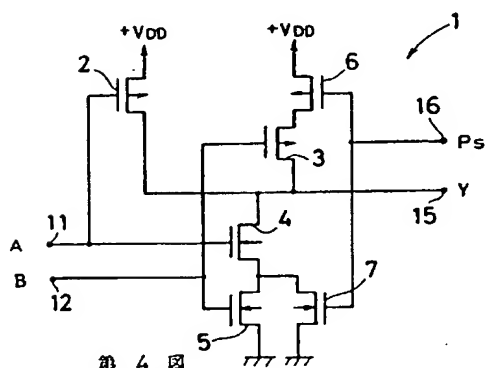
第 1 図



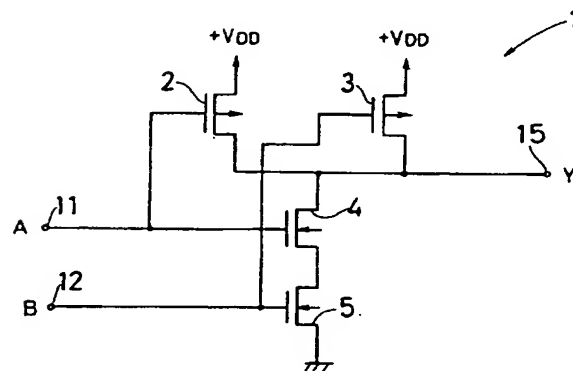
第 2 図



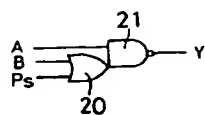
第 3 図



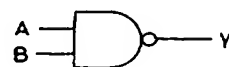
第 4 図



第 6 図



第 5 図



第 7 図

THIS PAGE BLANK (USPTO)